

DIALOG(R)File 352:Derwent WPI

(c) 2001 Derwent Info Ltd. All rts. reserv.

008249301 \*\*Image available\*\*

WPI Acc No: 1990-136302/199018

Prodn. of thin-film FET - by injecting conduction-type impurities in  
semiconductor film to form source and drain regions NoAbstract Dwg  
1a,b/3

Patent Assignee: EPSON CORP (SHIH )

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 2084770	A	19900326	JP 88236816	A	19880921	199018 B

Priority Applications (No Type Date): JP 88236816 A 19880921

Title Terms: PRODUCE; THIN; FILM; FET; INJECTION; CONDUCTING; TYPE; IMPURE;  
SEMICONDUCTOR; FILM; FORM; SOURCE; DRAIN; REGION; NOABSTRACT

Derwent Class: L03; U11; U12

International Patent Class (Additional): H01L-027/12; H01L-029/78

File Segment: CPI; EPI

DIALOG(R)File 347:JAPIO

(c) 2001 JPO & JAPIO. All rts. reserv.

03109270 \*\*Image available\*\*

MANUFACTURE OF SEMICONDUCTOR DEVICE

PUB. NO.: 02-084770 [JP 2084770 A]

PUBLISHED: March 26, 1990 (19900326)

INVENTOR(s): HASEGAWA KAZUMASA

APPLICANT(s): SEIKO EPSON CORP [000236] (A Japanese Company or Corporation)  
, JP (Japan)

APPL. NO.: 63-236816 [JP 88236816]

FILED: September 21, 1988 (19880921)

INTL CLASS: [5] H01L-029/784; H01L-027/12

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD:R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,  
MOS)

JOURNAL: Section: E, Section No. 939, Vol. 14, No. 268, Pg. 146, June  
11, 1990 (19900611)

#### ABSTRACT

**PURPOSE:** To reduce the cost of a semiconductor device using a complementary high-withstand voltage TET by reducing the number of photo processes in an impurity mixing process by a method wherein, after the gate electrodes of the TET are formed, a process for mixing an impurity having one of conductivity types in the whole surface of a substrate is provided.

**CONSTITUTION:** In the case of manufacture of a semiconductor device; wherein semiconductor thin films 102 and 103, gate insulating films 104 and 105 and gate electrodes 106 and 107 are provided on a substrate 101 with a surface which is at least insulated and a thin film transistor consisting of channel regions 120 and 120, offset regions 116 to 119 and source and drain regions 112 to 115, which are provided in the films 102 and 103, is formed into a complementary transistor; a process for mixing an impurity having one of conductivity types in the whole surface of the substrate is provided after the formation of the electrodes 106 and 107. For example, after the electrodes 106 and 107 are formed, an ion-implantation is performed in the whole surface to form P(sup -) regions. In case the films 102 and 103 consist of silicon, B and the like are used as an impurity to mix and a dose is set in 10(sup 12)cm(sup -2) or thereabouts.

⑨ 日本国特許庁(JP) ⑩ 特許出願公開  
⑪ 公開特許公報(A) 平2-84770

⑫ Int.Cl.<sup>8</sup>H 01 L 29/784  
27/12

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)3月26日

A

7514-5F  
8624-5F

H 01 L 29/78

311 F

審査請求 未請求 請求項の数 1 (全5頁)

⑭ 発明の名称 半導体装置の製造方法

⑮ 特 願 昭63-236816

⑯ 出 願 昭63(1988)9月21日

⑰ 発 明 者 長 谷 川 和 正 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式  
会社内⑱ 出 願 人 セイコーエプソン株式 東京都新宿区西新宿2丁目4番1号  
会社

⑲ 代 理 人 弁理士 上柳 雅 替 外1名

## 明 細 書

## 1. 発明の名称

半導体装置の製造方法

## 2. 特許請求の範囲

少なくとも表面が絶縁された基板上に半導体薄膜、ゲート絶縁膜、ゲート電極を設け、前記半導体薄膜中にチャネル領域、オフセット領域、ソース、ドレイン領域を設けて成る薄膜トランジスタを、相補型に形成した半導体装置の製造方法において、ゲート電極形成後に、基板全面に一方の導電型を有する不純物を導入する工程を設けたことを特徴とする半導体装置の製造方法。

## 3. 発明の詳細な説明

〔実施例上の利用分野〕

本発明は高耐圧の薄膜トランジスタ(以下TFTと示す)を相補型に用いた半導体装置の製造方法に関する。

## 〔従来の技術〕

高耐圧TFTは、S. SEKI et al. IEEE ELECTRON DEVICE LETTERS, VOL. EDL-8, NO. 9, PP. 425-427, 1987, 等々に示されるように、通常のTFTと異なり、オフセット領域を持っている。

従来の、高耐圧TFTを相補型に用いた半導体装置の製造方法における不純物混入工程は、第2図(a)～(e)に示すごとくフォトリソ工程が4回必要であった。同図(a)はPch TFTのオフセット領域を形成するため薄いp型の領域(p-)を形成する工程における半導体装置の断面図であり、101は絶縁基板、102及び103は半導体薄膜、104及び105はゲート絶縁膜、106及び107はゲート電極、201は不純物の混入を防止するマスクである。この状態で不純物をイオン注入法等により混入し、p-領域を形成する。同図(b)は、Pch TFTのソース、

## 特開平2-84770(2)

ドレイン領域を形成するため、薄いp型の領域( $p'$ )を形成する工程における半導体装置の断面図であり、202は不純物の混入を防止するマスクである。同図(c)は、Nch TFFTのオフセット領域を形成するため薄いn型の領域( $n'$ )を形成する工程における半導体装置の断面図であり、203は不純物の混入を防止するマスクである。同図(d)は、Nch TFFTのソース、ドレイン領域を形成するため薄いn型の領域( $n'$ )を形成する工程における半導体装置の断面図であり、204は不純物の混入を防止するマスクである。同図(e)は、マスク203及び204を剥離し、不純物混入工程終了時の半導体装置の断面図である。

## 【発明が解決しようとする課題】

しかし、従来の相補型高耐圧TFFTを用いた半導体装置の製造方法には、不純物混入工程におけるフォトリソが4回と多く、半導体装置が高コストなものとなるという課題があった。そこで本発

明は、基板101上に半導体薄膜102及び103を形成し、ゲート絶縁膜104及び105、ゲート電極106及び107を形成する。そして、イオン注入法等で $p'$ 領域を形成する。半導体薄膜102及び103がSiの場合、混入する不純物はB等を用い、イオン注入法の場合、ドーズ量は $10^{12} \text{ cm}^{-2}$ 程度である。同図(b)はPch TFFTのソース、ドレイン領域を形成するため、選択的にp型の導電型を有する不純物を混入する工程時の断面図であり、108及び109は不純物の混入を阻止するマスク材料である。イオン注入法で不純物の混入を行う場合、108及び109にはフォトリソ等が用いられ、ドーズ量は $10^{12} \text{ cm}^{-2}$ 程度の不純物濃度で $p'$ 領域が形成される。同図(c)は、Nch TFFTのオフセット領域を形成するため、選択的にn型の導電型を有する不純物を混入する工程時の断面図であり、110はマスク材料である。半導体薄膜102及び103にSiを用いる場合、混入する不純物にはP等が用いられる。Pch TFFTのオフセッ

ト領域では、不純物混入工程におけるフォトリソ工程数を低減することによって、半導体装置を低コスト化することを目的とするものである。

## 【課題を解決するための手段】

以上の課題を解決するため、本発明の半導体装置の製造方法は、TFFTのゲート電極形成後に、基板全面に一方の導電型を有する不純物を混入する工程を設けたことを特徴とする。

## 【実施例】

第1図に、本発明の実施例における相補型高耐圧TFFTを用いた半導体装置の不純物混入工程における、製造工程順の断面図を示す。同図(a)は、Pch TFFTのオフセット領域を形成するため、基板全面にp型の導電型を有する不純物を混入する工程時の断面図である。同図に於て、101は少なくとも表面が絶縁された基板、102及び103は半導体薄膜、104及び105はゲート絶縁膜、106及び107はゲート電極であ

り、ト領域と同程度のオーダーの濃度で不純物の混入を行い、 $n'$ 領域を形成する。同図(d)はNch TFFTのソース、ドレイン領域を形成するため選択的にn型の導電型を有する不純物を混入する工程時の断面図であり、111はマスク材料である。Pch TFFTのソース、ドレイン領域と同程度のオーダーの濃度で不純物の混入を行い、 $n'$ 領域を形成する。同図(e)は、マスク材料剥離工程終了時の断面図であり、以上の工程で、Pch TFFTのソース、ドレイン領域112及び113、オフセット領域116及び117、チャネル領域120、Nch TFFTのソース、ドレイン領域114及び115、オフセット領域118及び119、チャネル領域121が形成され、相補型高耐圧TFFTが構成されていることがわかる。本実施例の不純物混入工程における、マスク材料を形成するフォトリソは3工程と、従来例に比べ1工程短縮される。

第3図は、本発明のもう一つの実施例における、相補型高耐圧TFFTを用いた半導体装置の不純物

## 特開平2-84770(3)

混入工程における、製造工程順の断面図である。同図(a)は、Pch TFFTのソース、ドレイン領域を形成するため、選択的にp型の導電型を有する不純物を混入する工程時の断面図であり、第1図と同一の記号は第1図と同一のものを表す。301及び302はマスク材料である。同図(b)は、Pch TFFTのオフセット領域を形成するため、基板全面にp型の導電型を有する不純物を混入する工程時の断面図である。p<sup>+</sup>領域を形成後、全面に不純物の混入を行いp<sup>-</sup>領域を形成する。同図(c)は、Nch TFFTのオフセット領域を形成するため、選択的にn型の導電型を有する不純物を混入する工程時の断面図であり、303はマスク材料である。同図(d)は、Nch TFFTのソース、ドレイン領域を形成するため、選択的にn型の導電型を有する不純物を混入する工程時の断面図であり、304はマスク材料である。同図(e)は、マスク材料剥離工程終了時の断面図である。以上の工程により、相補型高耐圧TFFTが構成される。本実施例におけるフォト工

程も3工程であり、従来例に比べ1工程短縮される。

以上述べたごとく、相補型高耐圧TFFTを用いた半導体装置の不純物混入工程において、基板全面に不純物を混入する工程を設けたことにより、フォト工程が短縮される。以上の実施例は、基板全面にp型の導電型を有する不純物を混入している例であるが、もちろん、基板全面にn型の導電型を有する不純物を混入する工程をとってもよい。また以上の実施例は、ゲート電極の両側にオフセット領域を持つTFFTを用いた例であるが、ゲート電極の片側のみオフセット領域を持つTFFTを用いる場合においても、本発明を適用すればよい。また、本発明の半導体装置の製造方法を用いて、同時に、通常のオフセット領域の無いTFFTも形成できるため、相補型で、通常のTFFT、高耐圧TFFTの混在した半導体装置が形成できる。相補型高耐圧TFFTを用いて、エレクトロルミネッセンスや圧電素子の駆動回路等が形成でき、本発明の応用分野は広い。

## 〔発明の効果〕

以上述べたように本発明によれば、相補型高耐圧TFFTを用いた半導体装置の製造方法において基板全面に不純物を混入する工程を設けることにより、製造工程数が低減され、低コストの高耐圧半導体装置が実現される。また本発明は、一般の高電圧を使用する回路等を含む半導体装置にも適用できる。

## 4. 図面の簡単な説明

第1図は、<sup>(a)~(e)</sup>本発明の実施例における相補型高耐圧TFFTを用いた半導体装置の不純物混入工程における、製造工程順の断面図。同図(a)は基板全面にp型の導電型を有する不純物を混入する工程時の断面図。(b)は選択的にp型の導電型を有する不純物を混入する工程時の断面図。(c)は選択的にn型の導電型を有する不純物を混入する工程時の断面図。(d)は選択的にn型の導電型を有する不純物を混入する工程時の断面図。(

e)はマスク材料剥離工程終了時の断面図。

第2図は、<sup>(A)~(E)</sup>従来の高耐圧TFFTを相補型に用いた半導体装置の不純物混入工程における、製造工程順の断面図。

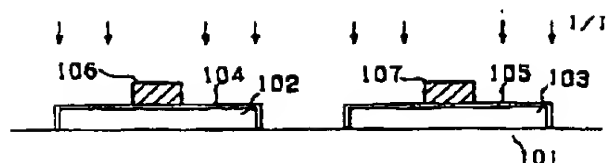
第3図は、<sup>(A)~(E)</sup>本発明のもう一つの実施例における相補型高耐圧TFFTを用いた半導体装置の不純物混入工程における、製造工程順の断面図。

- 101…少なくとも表面が絶縁された基板
- 102, 103…半導体薄膜
- 104, 105…ゲート絶縁膜
- 106, 107…ゲート電極
- 108~111…マスク材料
- 112~115…ソース、ドレイン領域
- 116~119…オフセット領域
- 120, 121…チャネル領域

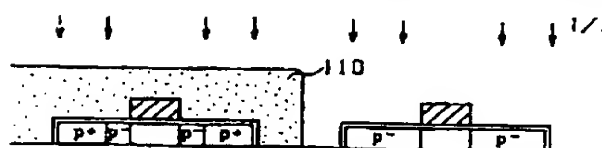
以上

出願人 セイコーエプソン株式会社  
代理人 弁理士・上柳雅彦(他1名)

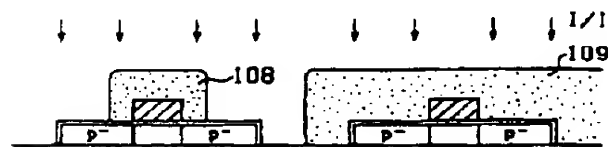
特開平2-84770(4)



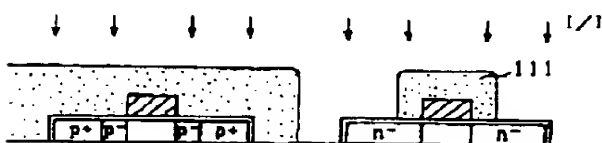
(a)



(c)

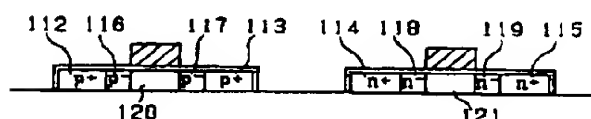


(b)



(d)

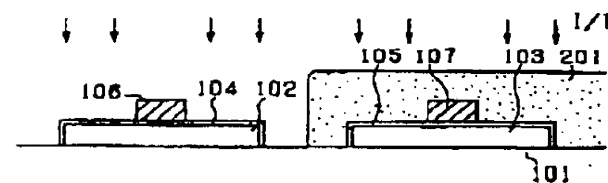
- 101 ... 少なくとも表面が絶縁された基板  
 102, 103 ... 半導体領域  
 104, 105 ... ゲート絶縁膜  
 106, 107 ... ゲート電極  
 108-111 ... マスク材料  
 112-115 ... ソース・ドレイン領域  
 116-119 ... オフセット領域  
 120, 121 ... チャンネル領域



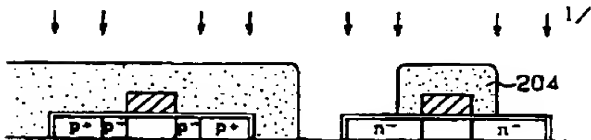
(e)

第 1 図

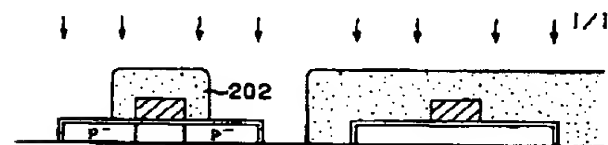
第 1 図



(a)



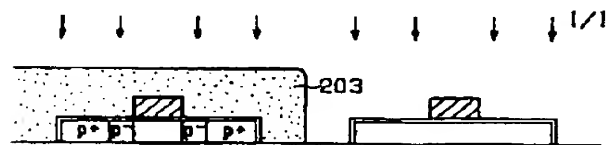
(d)



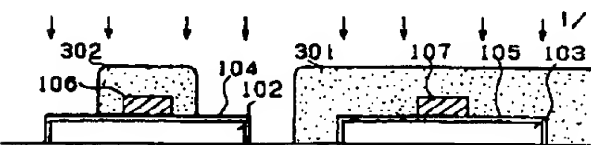
(b)



(e)



(c)



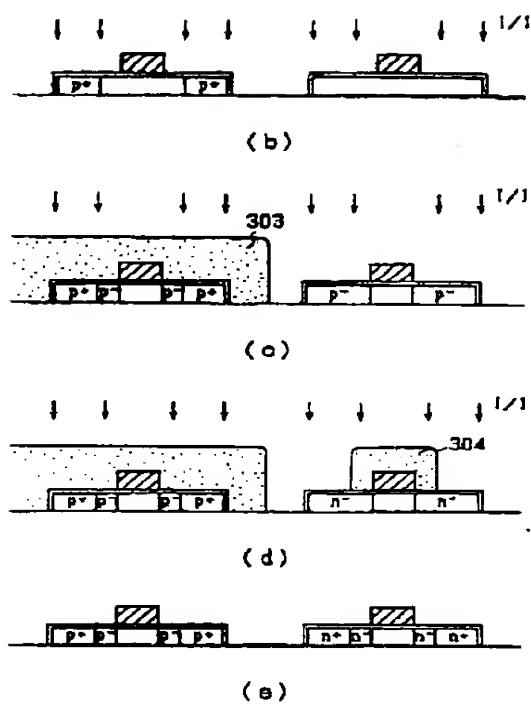
(a)

第 2 図

第 2 図

第 3 図

## 特開平2-84770(5)



第 3 図